

METHOD FOR FORMING OXIDE FILM OF GATE STRUCTURE SIDE WALL

Patent Number: JP11345970

Publication date: 1999-12-14

Inventor(s): KATADA TOMIO; ARTHUR C AAMERA; KARANAM BARASUBRAMANYAM; SHAN-BIN KO

Applicant(s): INTERNATL BUSINESS MACH CORP <IBM>; TOSHIBA CORP

Requested Patent: JP11345970

Application Number: JP19990122947 19990428

Priority Number(s):

IPC Classification: H01L29/78; H01L27/108; H01L21/8242

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent the abnormal oxidation of the side wall of a polycide gate conductive layer in the oxidizing heat treatment process after RIE process of the polycide gate conductive layer of a semiconductor memory cell.

SOLUTION: The heat treatment for oxidizing the side wall of a polycide gate conductivity layer 30 is carried out in two processes which have the different conditions. A thin oxide film 42 is formed on the side wall of a polycide tungsten gate conductivity layer 30 by carrying out the first heat treatment process in a non-active atmosphere. Next, in the second heat treatment process, a thick oxide film 44 without an abnormal oxidation is formed by carrying out a heat treatment in a strong oxidizing atmosphere.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-345970

(43)公開日 平成11年(1999)12月14日

(51)Int.Cl.⁶

H 0 1 L 29/78
27/108
21/8242

識別記号

F I

H 0 1 L 29/78
27/10

3 0 1 G
6 7 1 Z

審査請求 未請求 請求項の数5 OL (全10頁)

(21)出願番号 特願平11-122947

(22)出願日 平成11年(1999)4月28日

(31)優先権主張番号 0 9 / 0 6 6 9 7 6

(32)優先日 1998年4月28日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク(番地なし)

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(74)代理人 弁理士 鈴江 武彦(外3名)

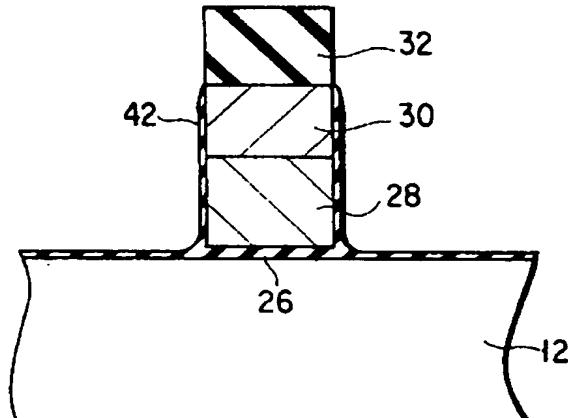
最終頁に続く

(54)【発明の名称】 ゲート構造側壁の酸化膜の形成方法

(57)【要約】

【目的】 半導体メモリセルのポリサイド・ゲート導電層のR I E加工後の酸化熱処理工程におけるポリサイド・ゲート導電層の側壁の異常酸化を防止する。

【構成】 ポリサイド・ゲート導電層30の側壁を酸化させるための熱処理を条件の異なる二工程に分けて行う。第1の熱処理工程を不活性雰囲気内で行うことによりポリサイドタンクスチン・ゲート導電層30の側壁に薄い酸化膜42を形成し、ついで第2の熱処理工程で強い酸化雰囲気内で熱処理を行うことにより異常酸化のない厚い酸化膜44を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に、絶縁膜、導電層、金属シリサイド層を順次形成する工程と、前記絶縁膜、導電層、および金属シリサイド層をエッチングして、ゲート絶縁膜、ゲート導電層、およびゲートシリサイド層からなるゲート構造を形成する工程と、

前記ゲート構造を第1の熱処理条件で熱処理して前記ゲート構造の側壁に薄い酸化膜を形成し、ついで第2の熱処理条件で熱処理して前記薄い酸化膜を厚くし、それにより前記ゲート構造の側壁に酸化膜を形成する工程と、を具備してなるゲート構造側壁の酸化膜の形成方法。

【請求項2】 第1の熱処理条件は不活性雰囲気を規定しており、第2の熱処理条件は活性雰囲気を規定していることを特徴とする、請求項1記載のゲート構造側壁の酸化膜の形成方法。

【請求項3】 第1の熱処理条件の不活性雰囲気は窒素(N_2)雰囲気であり、第2の熱処理条件の活性雰囲気は酸素(O_2)雰囲気であることを特徴とする、請求項1記載のゲート構造側壁の酸化膜の形成方法。

【請求項4】 第1の熱処理条件の不活性雰囲気はアルゴン(Ar)雰囲気であり、第2の熱処理条件の活性雰囲気は酸素(O_2)雰囲気であることを特徴とする、請求項1記載のゲート構造側壁の酸化膜の形成方法。

【請求項5】 第1の熱処理条件は不活性雰囲気に20%以下の酸素を含んだ弱い酸化性雰囲気を規定しており、第2の熱処理条件は強い酸化性雰囲気を規定していることを特徴とする、請求項1記載のゲート構造側壁の酸化膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ゲート構造側壁の酸化膜の形成方法に関し、特に、ゲート構造をエッチング処理により形成した後の後酸化処理におけるゲートシリサイド層の側壁の異常酸化を防止するための方法に関する。

【0002】

【従来の技術】半導体技術の分野では、素子の薄膜化および小型化が一層進んでおり、たとえば最新のDRAMセルでは、ゲート絶縁膜の厚さは50ないし80オングストローム程度、また金属シリサイド層は500ないし1000オングストローム程度の薄さになっている。また、幅は、0.35μm程度に小型化されている。そのゲート構造は、一般に、図15に示すように、シリコン半導体基板12上に順次積層された、薄いSiO₂ゲート絶縁膜(ゲート絶縁膜)26、N⁺シリコンゲート導電層(ゲート導電層)28、タングステンシリサイド(WSi)層(金属シリサイド層)30、およびチッ化シリコン(SiN)キャップ層(キャップ層)32から成っている。N⁺シリコンゲート導電層28とその上に形成されたWSi層30とから成る構成は、一般

にポリサイド(WSi/N⁺シリコン)ゲート層と呼ばれる。図15に示すようなゲート構造を形成するためには、従来、図16に示すように、シリコン半導体基板上に、熱酸化により薄いSiO₂膜(絶縁膜)14を、CVD法によりN⁺シリコン導電層(導電層)16を、スパッタ法によりタングステンシリサイド(WSi)層(金属シリサイド層)18を、およびLPCVD(減圧CVD)法によりチッ化シリコン(SiN)層(キャップ層)20を順次積層し、この積層材料層上にさらにフォトレジストを塗布して、図16に示すように、フォトレジスト膜22を形成し、ついでフォトレジスト膜をパターニングして、図17に示すように、レジストパターン24を形成する。このレジストパターンをマスクに用いて積層材料層を反応性イオンエッチング(RIE: Reactive Ion Etching)によりパターンングすることにより図15に示すようなゲート構造を形成している。このエッチング処理により、しかしながら、N⁺シリコン導電層およびWSi層の側壁が露出するとともにシリコン半導体基板の表面が露出されるためシリコン半導体基板の表面への不純物の侵入による汚染やエッチングによるダメージが生じる。良好なゲート構造を実現するためには、このダメージを除去する必要があり、そのため従来では上記エッチング処理後に後酸化処理として、実質的に酸素(O_2)100%の雰囲気において急速熱処理すなわちラピッド・サーマル・プロセッシング(RTP: Rapid Thermal Processing)を行ってN⁺シリコン導電層およびWSi層の露出側壁およびシリコン半導体基板の露出表面を酸化させる。すなわち、N⁺シリコン導電層およびWSi層の露出側壁、およびシリコン半導体基板の露出表面に後酸化熱処理により、図18に示すように、酸化膜34を形成する。この後酸化熱処理により、ゲート構造を形成する際のエッチング処理により生じた上記ダメージが除去される。同時に、上記後酸化熱処理により、図18に示すように、ポリシリコン層縁部の下部に生じるバーズピーク36によりこの部分の電界強度が低減されるとともにゲート・ドレイン間キャパシタンスが減少してアクセス時間が短縮する。

【0003】しかしながら、従来の上記後酸化熱処理方法においては、異常酸化38が生じやすい。異常酸化は、図18に示すように、特にWSi層の側壁酸化において生じやすい。すなわち、酸素(O_2)雰囲気において熱処理するとWSiはWO₃とSiO₂に分解される。WO₃は蒸発し、SiO₂膜がWSi層の側壁に形成される。このように分解されるとき、SiO₂膜の形成に寄与するようS iがN⁺シリコン導電層からWSi層に供給される。ところで従来では、この熱処理を実質的に酸素(O_2)100%の雰囲気すなわち酸化性の強い雰囲気において行っている。しかしながら、従来方法におけるように、この熱処理を実質的に酸素(O_2)

100%の雰囲気すなわち酸化性の強い雰囲気において行うと、反応が急激に生じ、N⁺シリコン導電層からWSi層へのSiの供給が不足し良好なSiO₂膜の形成が困難となる。一方、反応が急激に生じることにより、多量のWO₃が蒸発するので、結果的に、形成される酸化膜はポーラスになってしまい、そのため酸化が一層急激に進み、図18に示すように、WSi層の側壁の異常酸化に至る。このようなメカニズムで生じる異常酸化は、特に、ゲート構造の薄膜化が進んできた最新のメモリセルにおいては、深刻な問題となってきている。異常酸化は、膜厚が薄くなり体積が小さくなればなるほど生じ易くなるからである。

【0004】図19は従来方法により実際に形成されたWSi/poly-Siゲート構造の後酸化熱処理後を示しており、また図20は、その斜視概観を示している。図19および図20において、異常酸化が顕著に生じているのがわかる。

【0005】

【発明が解決しようとする課題】ゲート構造のWSi層（金属シリサイド層）の側壁酸化における異常酸化の上の問題は、ゲート、特にWSi層の寸法および厚さが小さくなるにつれて厳しい問題となる。また、異常酸化の結果、WSi層の側壁に突出して形成される酸化膜バーンプのために、ゲートへのコンタクト抵抗が増大し、またビット線コンタクトの制御性が低下、さらにビット線とゲート線との間のリーク電流が増加する。

【0006】この発明は、上述のような事情に鑑みなされたものであり、その目的は、半導体装置のゲート構造を形成する際に行われるエッチング処理によりゲート導電層および金属シリサイド層の露出側壁およびシリコン半導体基板の露出表面に生じたダメージを除去するための後酸化熱処理における異常酸化、特に金属シリサイド層の側壁の異常酸化、を防止するための方法を提供することである。

【0007】

【課題を解決するための手段】この発明は、半導体装置のゲート構造を形成する際に行われるエッチング処理により生じたダメージを除去するため該エッチング処理後に行われる後酸化のための急速熱処理すなわちラピッド・サーマル・プロセッシング(RTP: Rapid Thermal Processing)を二工程の急速熱処理(RTP)から成るものとしたことを特徴とする。第1のRTP工程は700ないし1000°C程度の温度の不活性雰囲気において120秒間アニールする工程であり、第2のRTP工程は1000ないし1150°C程度の温度の酸素雰囲気において100秒間アニールする工程である。この二工程の熱処理により、エッチング処理の際にゲート構造および半導体基板に生じたダメージを除去する。第1のRTP工程における不活性雰囲気での熱処理により、金属シリサイド層の側壁に薄い酸

化膜を形成する。これは不活性雰囲気に存在する微量の酸素により、低速度の酸化が進行するためである。ついで、第2のRTP工程での1000ないし1150°Cの温度の酸素雰囲気での熱処理により上記薄い酸化膜を充分な膜厚まで厚くする。第2のRTP工程を行う際、第1のRTP工程において金属シリサイド層の側壁に、薄いが安定した酸化膜がすでに形成されているので、異常酸化が生じることはない。

【0008】この発明によれば、半導体基板上に、絶縁膜、導電層、金属シリサイド層を順次形成する工程と、前記絶縁膜、導電層、および金属シリサイド層をエッチングして、ゲート絶縁膜、ゲート導電層、およびゲートシリサイド層からなるゲート構造を形成する工程と、前記ゲート構造を第1の熱処理条件で熱処理して前記ゲート構造の側壁に薄い酸化膜を形成し、ついで第2の熱処理条件で熱処理して前記薄い酸化膜を厚くし、それにより前記ゲート構造の側壁に酸化膜を形成する工程と、を具備してなるゲート構造側壁の酸化膜の形成方法が提供される。

【0009】第1の熱処理条件は不活性雰囲気を規定しており、第2の熱処理条件は活性雰囲気を規定していることが好ましい。

【0010】第1の熱処理条件の不活性雰囲気は窒素(N₂)雰囲気であり、第2の熱処理条件の活性雰囲気は酸素(O₂)雰囲気であることが好ましい。

【0011】第1の熱処理条件の不活性雰囲気はアルゴン(Ar)雰囲気であり、第2の熱処理条件の活性雰囲気は酸素(O₂)雰囲気であることが好ましい。

【0012】第1の熱処理条件は不活性雰囲気20%以下の酸素を含んだ弱い酸化性雰囲気を規定しており、第2の熱処理条件は強い酸化性雰囲気を規定していることが好ましい。

【0013】第1の熱処理条件の熱処理工程は第1の加熱炉を用いて行い、第2の熱処理条件の熱処理工程は第2の加熱炉を用いて第1の加熱炉から分離して行なうことが好ましい。

【0014】第1の熱処理条件の熱処理工程および第2の熱処理条件の熱処理工程は同じ加熱炉を共通に用いて行なうことが好ましい。

【0015】第1の熱処理条件の熱処理工程と第2の熱処理条件の熱処理工程との間にさらに清浄工程を具備することが好ましい。

【0016】前記導電層はポリシリコン層であることが好ましい。

【0017】前記金属シリサイド層はタンゲスタンシリサイド層であることが好ましい。

【0018】前記金属シリサイド層はモリブデンシリサイド層であることが好ましい。

【0019】第1の熱処理条件における加熱温度は700°Cないし1000°Cであり、第2の熱処理条件における

る加熱温度は1000°Cないし1150°Cであることが好ましい。

【0020】第1の熱処理条件における加熱温度は800°Cであり、第2の熱処理条件における加熱温度は1050°Cであることが好ましい。

【0021】第1の熱処理条件における加熱時間は100ないし150秒であり、第2の熱処理条件における加熱時間は20ないし120秒であることが好ましい。

【0022】第1の熱処理条件における加熱時間は120秒であり、第2の熱処理条件における加熱時間は65秒であることが好ましい。

【0023】第1の熱処理条件における加熱時間は120秒であり、第2の熱処理条件における加熱時間は100秒であることが好ましい。

【0024】第1の熱処理条件における加熱温度は800°Cであり、第2の熱処理条件における加熱温度は1100°Cであることが好ましい。

【0025】第1の熱処理条件における加熱時間は120秒であり、第2の熱処理条件における加熱時間は40秒であることが好ましい。

【0026】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照しながら説明する。

【0027】この実施の形態では、後酸化熱処理のための急速熱処理すなわちラピッド・サーマル・プロセッシング(RTP: Rapid Thermal Processing)として二工程から成るRTP方式を採用することにより金属シリサイド層の側壁の異常酸化を防止する方法を開示する。

【0028】図1に示すように、シリコン(Si)半導体基板たとえば結晶方位<100>のP型シリコン半導体基板12上に、50ないし80オングストローム程度の薄いSiO₂膜(絶縁膜)14を熱酸化により、N型不純物のドープされたN⁺シリコン層(導電層)16をCVD法により、タンクスチンシリサイド(WSi)層(金属シリサイド層)18をスパッタ法により形成する。このときWSi膜はアモルファス相である。次いで、LPCVD(減圧CVD)SiN層(キャップ層)20をLPVCD法により順次形成する。SiN層(キャップ層)20の形成温度は約780°Cであるので、タンクスチンシリサイド(WSi)層は正方晶へと結晶化する。

【0029】ついで、図1に示すように、上記構成の半導体基板上にフォトレジストを全面に塗布してフォトレジスト膜22を形成し、ついでこのフォトレジスト膜22をパターニングして、図2に示すように、レジストパターン24を形成する。

【0030】ついで、形成したレジストパターン24をマスクに用いて、N型不純物のドープされたN⁺シリコン層16、WSi層18、およびLPCVD SiN層2

0をRIE処理すなわち反応性イオンエッチング処理し、図3に示すように、ゲート構造を形成する。この時、エッチング処理はSiO₂膜14が半導体基板の全面に残るように行う。しかしながら実際には、SiO₂膜14のエッチング処理は半導体基板の全面でバラツキを生じ、半導体基板は部分的に露出してしまう。ゲート構造は、ゲートSiO₂膜(ゲート絶縁膜)26、N⁺シリコンゲート層(ゲート導電層)28、WSi層(金属シリサイド層)30、およびSiNキャップ層(キャップ層)32とから成る。N⁺シリコンゲート層28とその上に形成されたWSi層30とから成る構成は、一般にポリサイド(WSi/N⁺シリコン)ゲート層と呼ばれる。ゲートSiO₂膜26は、たとえば256MbDRAMの転送ゲート酸化膜である。ゲート構造を形成するために行った上記エッチング処理により、ゲート導電層および金属シリサイド層の露出側壁およびシリコン半導体基板の露出表面にダメージが生じる。

【0031】ついで、このダメージを除去するために、ゲート導電層および金属シリサイド層の露出側壁およびシリコン半導体基板の露出表面に酸化膜を形成する。この酸化膜形成工程を後酸化という。酸化膜を形成するために、ゲート構造を形成するために行った上記エッチング処理後に後酸化処理すなわちラピッド・サーマル・プロセッシング(RTP)を行う。それによりゲート導電層および金属シリサイド層の露出側壁およびシリコン半導体基板の露出表面に酸化膜を形成する。この後酸化熱処理は、第1および第2の工程からなる二工程で行う。この熱処理に先立って予備洗浄を行い、ついで、後酸化熱処理の上記第1および第2の工程を順次行う。具体的には、図6に示すように、第1の熱処理工程で、800°Cの不活性ガス雰囲気内たとえばN₂ガス雰囲気内において120秒間アニールを行い、つづいて第2の熱処理工程で、1050ないし1100°Cの温度のO₂ガス雰囲気内において100秒間アニールを行う。N₂ガス不活性雰囲気はアルゴン(Ar)不活性雰囲気に変てもよい。さらに、第1の熱処理工程におけるアニーリング温度は700ないし1000°C程度の範囲内で、また第2の熱処理工程におけるアニーリング温度は1000ないし1150°C程度の範囲内で適宜選択する。また、第1の熱処理工程におけるアニーリング時間および第2の熱処理工程におけるアニーリング時間もそれぞれアニーリング温度との関係から最適な時間を適宜選択する。この二工程の熱処理により、ゲート導電層および金属シリサイド層の露出側壁およびシリコン半導体基板の露出表面に、安定した膜厚および膜質の酸化膜が形成され、それによりゲート構造をエッチング処理により形成した際に生じた上述のダメージが除去される。すなわち、第1のRTP工程により、図4に示されるように、金属シリサイド層の側壁に薄い酸化膜42を形成する。第1のRTP工程においては、N₂雰囲気すなわ

ち不活性雰囲気内で熱処理されるので、極端な酸化は生じない。半導体基板を加熱炉に挿入する作業時に加熱炉内に外部雰囲気から巻き込まれる20%以下の極めて少量の酸素(O_2)によって酸化されるのみである。したがって、酸化速度が遅いため WO_3 の形成もほとんど生じず、また N^+ シリコンゲート層からのSiの必要とされる供給量もわずかでよいのでSiの供給が SiO_2 の形成に不足しないので、金属シリサイド層の側壁に形成される薄い酸化膜はポーラスとなることなく、安定した膜厚および膜質のものとなる。第2のRTP工程での1000ないし1150°Cの温度の酸素雰囲気においてさらに熱処理し、図5に示されるように、上記薄い酸化膜の膜厚を充分に厚くし、厚い酸化膜44を形成する。第2のRTP工程では、実質的に酸素(O_2)100%の雰囲気内すなわち高い酸化性雰囲気内で熱処理を行うので強い酸化が生じるが、第1のRTP工程において金属シリサイド層の側壁に、薄いが安定した酸化膜42がすでに形成されているので酸化速度が適正に保たれる。金属シリサイド側壁表面でのSiの消費速度に比べ N^+ シリコンゲート層からWSi層へのSiの供給量が上まわる。このため WO_3 の形成もなく異常酸化が生じることはない。

【0032】図6は上記実施の形態を時間ダイアグラムで示しているものである。窒素(N_2)が供給され400°C程度に加熱されている第1工程用加熱炉内に図1に示されるゲート構造を有する半導体基板をキャリアアームを用いて挿入し、図6に示されるように、温度を800°Cに上昇させ、120秒間加熱する。半導体基板を加熱炉に挿入する作業時に加熱炉内に20%以下の極めて少量の酸素(O_2)が外部雰囲気から巻き込まれる。この少量の酸素(O_2)によってゲート側壁に、図4に示されるように薄い酸化膜42が形成される。ついで、半導体基板を第1工程用加熱炉から取り出し、図6に示されるように、酸素(O_2)が供給され400°C程度に加熱されている第2工程用加熱炉内に半導体基板をキャリアアームを用いて挿入し、温度を1050°Cに上昇させ、100秒間加熱する。それにより、薄い酸化膜の膜厚が充分に厚くなり、図5に示されるように、厚い酸化膜44が形成される。

【0033】図7は上記実施の形態の方法により実際に形成されたゲート配線を示しており、また図8は、その斜視概観を示している。図7および図8において、異常酸化が生じておらず、膜厚および膜質の安定した酸化膜が形成されているのがわかる。

【0034】図9は他の実施の形態に係るRTP工程を時間ダイアグラムで示しているものである。この実施の形態は、第1の実施の形態におけるように、使用する加熱炉を第1工程用加熱炉および第2工程用加熱炉に分けるのではなく、一つの加熱炉を第1工程用および第2工程用に共通に使用するものである。1%酸素(O_2)を

炉内に供給しながら400°C程度に加熱されている加熱炉内に、図3に示されるゲート構造を有する半導体基板をキャリアアームを用いて挿入し、図9に示されるように、温度を800°Cに上昇させ、30秒間加熱する。それにより、1%酸素の弱い酸化性によって、図4に示されるように、薄い酸化膜42が形成される。その後、上記炉内において100%酸素(O_2)雰囲気にガス置換(substitution)し、15秒間保持する。ついで、半導体基板を上記炉から取り出すことなく炉内に保持したまま、図9に示されるように、炉の温度を1050°Cに上昇させ、100秒間加熱する。それにより、薄い酸化膜が充分に厚くなり、図5に示されるように、厚い酸化膜44が形成される。

【0035】上述のように、この発明においては、後酸化熱処理を二工程で行っている。すなわち、従来の技術における熱処理工程と同様の工程である酸化性の高い雰囲気での第2の熱処理工程に先立って、従来の技術における熱処理では存在しない、酸化性の低い雰囲気での第1の熱処理工程を行っている。第1の熱処理工程は、第2の熱処理工程の処理条件とは異なる条件の工程であり、安定した膜厚および膜質の薄い酸化膜を金属シリサイド層の側壁に形成する。それにより、第2のRTP工程での熱処理により異常酸化が発生するのを防止する。

【0036】図10は、256DRAMのプロセスアーキテクチャーにおける二工程熱処理酸化についての上記したような手順を示している。なお、図10の手順は、この発明を256MbDRAMに適用した場合として示されているが、64MbDRAMに適用する場合であっても同様である。

【0037】図11に、第1RTP工程を800°C、 N_2 雰囲気、120秒間の条件下、また第2RTP工程を1050°C、 O_2 雰囲気、時間をパラメータとした条件下設定した時の酸化膜の膜厚についてのデータを示している。加熱温度を1050°C一定とした場合には加熱時間が長くなるほど膜厚は厚くなり、加熱時間を100秒間とした場合には膜厚は100オングストロームとなる。これは、加熱温度を1100°Cとした場合において、加熱時間を40秒間とした場合の膜厚(100オングストローム)と同じになる。なお、図11中、XPは、P型拡散層を形成する時のインプランテーション条件を示しており、その条件は、 BF_2 イオンをドーズ量7E14 atoms/cm²、加速電界10KeVで注入することであり、またXNはN型拡散層を形成する時のインプランテーション条件を示しており、その条件は、Asイオンをドーズ量6E14 atoms/cm²、加速電界25KeVで注入することである。

【0038】図12はWSi層の側壁酸化膜の膜厚とゲートに流れるリーク電流GIDL(Gate Induced Drain Leak)との相関を示している。図12から明らかなように、Nチャンネル型MOSFE

TおよびPチャンネル型MOSFETのいずれの場合にも、酸化膜の膜厚が厚くなるにしたがってリーク電流GIDL (Gate Induced Drain Leak) はなめらかに減少することがわかる。

【0039】図13は、電圧ストレス時間に対する不良したセル (Single Cell Fail) の個数を示している。セルの不良は、所定の時間電圧ストレスを与えた後、512ミリ秒毎に、各セルの残留電荷量を調べ、残留電荷量が不良を定める閾値以上にあるか否かによって判定される。20時間の電圧ストレスを与えた後、不良したセルの数を調べたところ、第2の RTP 工程での加熱温度を 1050°C、加熱時間を 100 秒間としたとき、不良したセルの数は顕著に減少することがわかった。

【0040】図14は、ワードラインWLの低レベル電位に対する不良したセルの個数を示している。第2の RTP 工程での加熱温度を 1050°C、加熱時間を 100 秒間としたとき、不良をおこすセルの数は顕著に減少することがわかった。

【0041】

【発明の効果】二工程の後酸化熱処理の第1工程において低速な酸化速度で金属シリサイド層の側壁に薄いが安定した酸化膜を形成しておくことにより第2工程で異常酸化のない所望の厚さの酸化膜を金属シリサイド層の側壁に形成することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る、ゲートシリサイドゲート層の側壁の異常酸化を防止するための方法の1工程における半導体構造の断面図。

【図2】この発明の実施の形態に係る、ゲートシリサイドゲート層の側壁の異常酸化を防止するための方法の1工程における半導体構造の断面図。

【図3】この発明の実施の形態に係る、ゲートシリサイドゲート層の側壁の異常酸化を防止するための方法の1工程における半導体構造の断面図。

【図4】この発明の実施の形態に係る、ゲートシリサイドゲート層の側壁の異常酸化を防止するための方法の1工程における半導体構造の断面図。

【図5】この発明の実施の形態に係る、ゲートシリサイドゲート層の側壁の異常酸化を防止するための方法の1工程における半導体構造の断面図。

【図6】この発明の実施の形態に係るゲートシリサイド層の側壁の異常酸化を防止するための方法における二工程熱処理方式の時間ダイアグラムを示す図。

【図7】この発明の実施の形態に係るゲートシリサイド層の側壁の異常酸化を防止するための方法における二工程熱処理方式により実際に得られたゲート電極形状の断面の電子顕微鏡 (SEM) 写真。

【図8】この発明の実施の形態に係るゲートシリサイド層の側壁の異常酸化を防止するための方法における二工

程熱処理方式により実際に得られたゲート電極形状の斜視概観の電子顕微鏡 (SEM) 写真。

【図9】この発明の他の実施の形態に係るゲートシリサイド層の側壁の異常酸化を防止するための方法における二工程熱処理方式の時間ダイアグラムを示す図。

【図10】この発明の実施の形態に係るゲート導電層の側壁の異常酸化を防止するための方法における処理手順を示す図。

【図11】RTP条件と酸化膜の膜厚とのデータを示す測定データ図。

【図12】WSi 層の側壁酸化膜の膜厚とゲートに流れるリーク電流GIDLとの特性曲線を示す図。

【図13】電圧ストレス時間に対する不良したセル (Single Cell Fail) の個数を示す図。

【図14】ワードラインWLの低レベル電位に対する不良したセルの個数を示す図。

【図15】ゲートシリサイド層の側壁に酸化膜を形成するための従来方法の1工程における半導体構造の断面図。

【図16】ゲートシリサイド層の側壁に酸化膜を形成するための従来方法の1工程における半導体構造の断面図。

【図17】ゲートシリサイド層の側壁に酸化膜を形成するための従来方法の1工程における半導体構造の断面図。

【図18】ゲートシリサイド層の側壁に酸化膜を形成するための従来方法の1工程における半導体構造の断面図。

【図19】ゲートシリサイド層の側壁に従来の熱処理方法により実際に得られたゲート電極形状の断面の電子顕微鏡 (SEM) 写真。

【図20】ゲートシリサイド層の側壁に従来の熱処理方法により実際に得られたゲート電極形状の斜視概観の電子顕微鏡 (SEM) 写真。

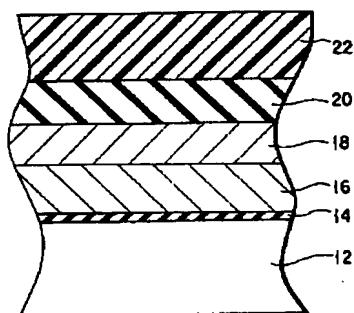
【符号の説明】

- 12…シリコン半導体基板、
- 14…薄いSiO₂膜（絶縁膜）、
- 16…N⁺シリコン層（導電層）、
- 18…タングステンシリサイド (WSi) 層（金属シリサイド層）、
- 20…LPCVD (減圧CVD) Si₃N₄層（キャップ層）、
- 22…フォトレジスト膜、
- 24…レジストパターン、
- 26…ゲートSiO₂膜（ゲート絶縁膜）、
- 28…N⁺シリコンゲート層（ゲート導電層）、
- 30…WSi層（金属シリサイド層）、
- 32…SiNキャップ層（キャップ層）、
- 34…酸化膜、
- 36…バーズ・ピーク、

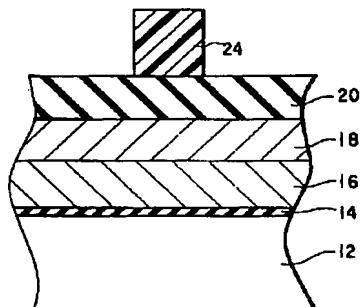
38…異常酸化、
42…薄い酸化膜、

44…厚い酸化膜

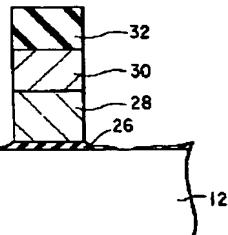
【図1】



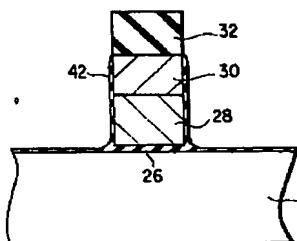
【図2】



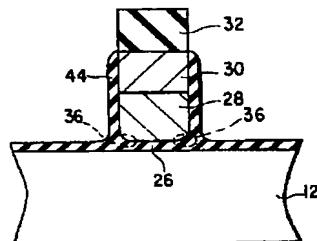
【図3】



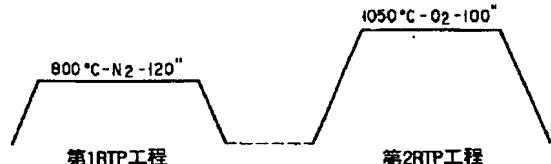
【図4】



【図5】

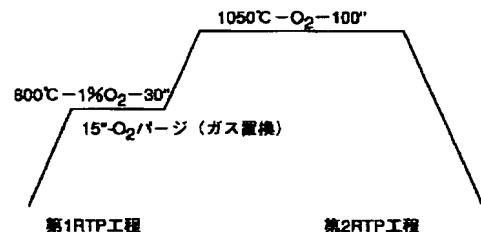


【図6】



【図9】

【図7】



【図10】

ゲート導電層の側壁酸化の二工程熱処理の手順

- P- $<100>$ Si ウエハ
- トランジスタゲート酸化までの256 DRAM 工程
- ゲート構造層の積層:N⁺ポリシリコン/WSi/LPCVD-Si₃N₄ およびゲート構造形成時に用いるマスク層
- ゲート構造形成時に用いるマスクの形成/ ゲート構造層のエッティング
- ゲート構造の予備洗浄
- ゲート構造の二工程熱処理
 - アニール:800°C-120''-N₂
 - 热处理:1050°C-100''-O₂

【図8】



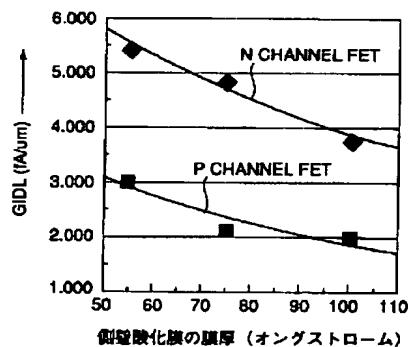
【図11】

熱処理条件と酸化膜厚とのデータ
(800°C-120°-N₂-1050°C-XX°-O₂)

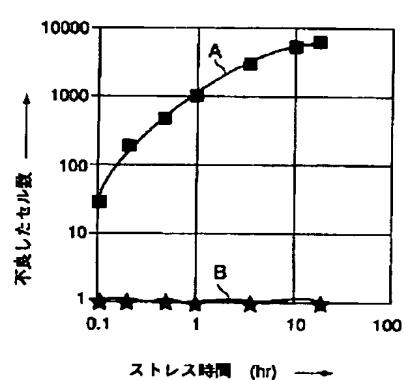
温度 (°C)	時間 (秒)	酸化膜の膜厚 (オングストローム)
1050	22	55
1050	65	75
1050	100	100
1100	40	100

XP:BF₂, 7E14 atoms/cm², 10keV
XN:As, 6E14 atoms/cm² 25keV

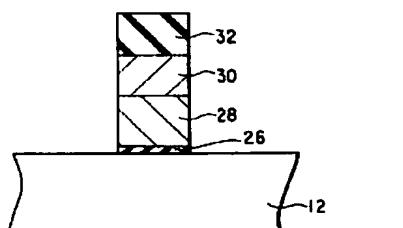
【図12】



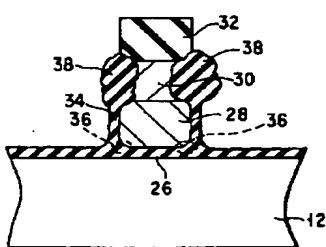
【図13】



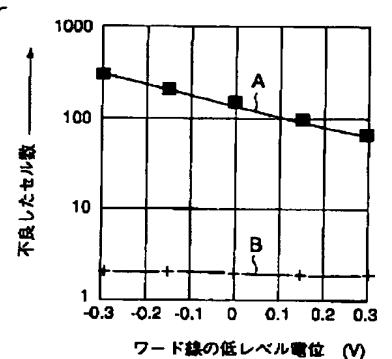
【図15】



【図18】



【図14】

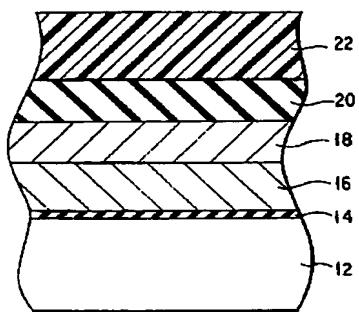


A: 第2RTP工程条件 1050°C-22°-O₂
(酸化膜の膜厚: 55 オングストローム)

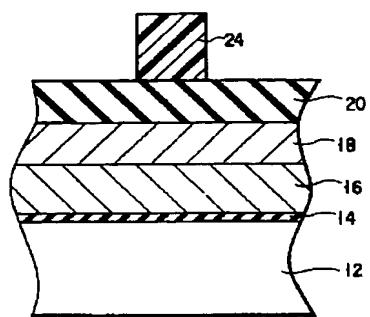
B: 第2RTP工程条件 1050°C-100°-O₂
(酸化膜の膜厚: 100 オングストローム)

A,B: 第1RTP工程条件 800°C-120°-N₂

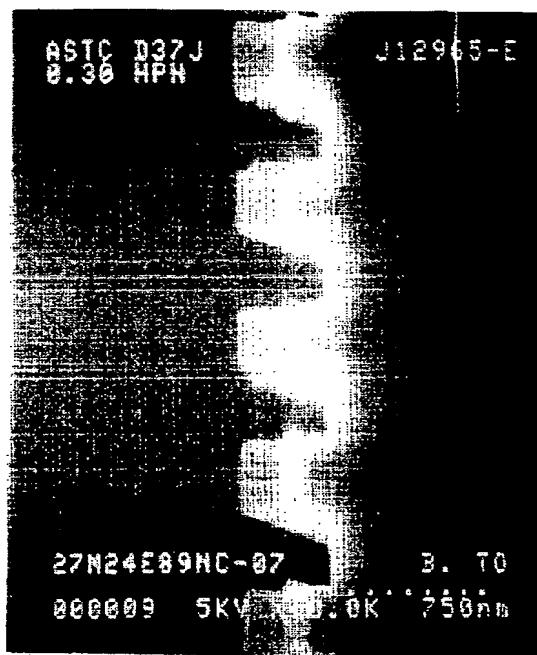
【図16】



【図17】



【図19】



【図20】



フロントページの続き

(72)発明者 堅田 富夫
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 アツール・シー・アーメラ
アメリカ合衆国、ニューヨーク州
10504、アーモンク(番地なし) イン
ターナショナル・ビジネス・マシーンズ・
コーポレイション内

(72)発明者 カラナム・バラスブラマンヤム
アメリカ合衆国、ニューヨーク州
10504、アーモンク(番地なし) イン
ターナショナル・ビジネス・マシーンズ・
コーポレイション内

(72)発明者 シャンービン・コ
アメリカ合衆国、ニューヨーク州
10504、アーモンク(番地なし) イン
ターナショナル・ビジネス・マシーンズ・
コーポレイション内